

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-171167

(43)Date of publication of application : 30.06.1997

(51)Int.Cl.

G02F 1/133
G02F 1/1345
G02F 1/136

(21)Application number : 07-332106

(71)Applicant : ADVANCED DISPLAY:KK

(22)Date of filing : 20.12.1995

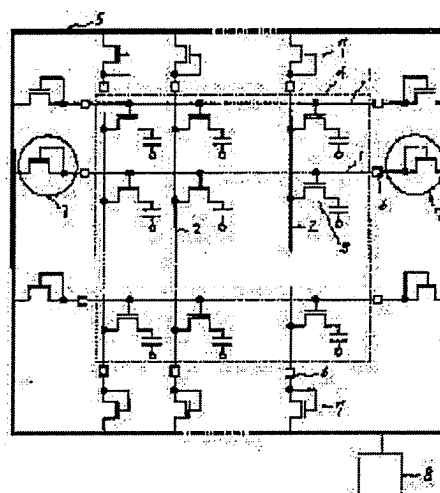
(72)Inventor : YAMAGUCHI TAKATOSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make static electricity discharge to an outer peripheral line and to protect the TFT matrix substrate of a liquid crystal display device against electrostatic breakdown by applying a voltage on the outer peripheral line and making a bypath for static electricity.

SOLUTION: A short-circuited outer peripheral line 5 is arranged so that at least one end of scanning lines 1 and at least one end of signal lines 2 are connected to it in a peripheral part of a pixel part 4 having switching elements 3 arranged on the intersections between the plural scanning lines 1 and the signal lines 2 being orthogonally arranged. By controlling a transistor 7, for controlling the connection of the scanning line 1 or the signal line 2, being located between the short-circuited outer peripheral line 5 and the switching element 3, and applying a voltage on the short-circuited outer peripheral line 5 by means of a voltage applying circuit 8, the static electricity of the pixel part 4 is removed.



LEGAL STATUS

[Date of request for examination] 21.05.2001

[Date of sending the examiner's decision of rejection] 19.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-171167

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 5 0	G 0 2 F	1/133
	1/1345			1/1345
	1/136	5 0 0		1/136

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平7-332106

(22) 出願日 平成7年(1995)12月20日

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72) 発明者 山口 隆利

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

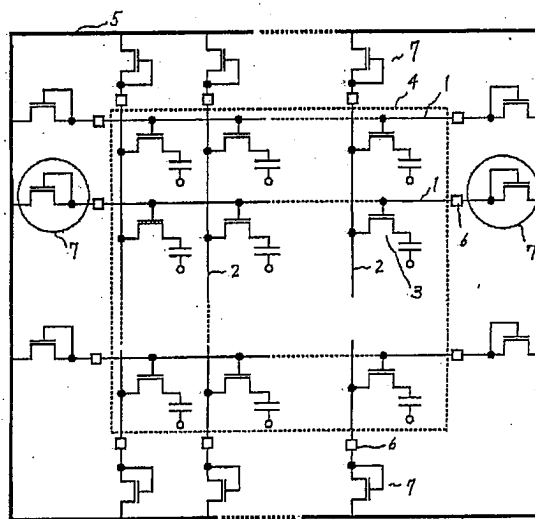
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 走査線1及び信号線2を短絡外周線5で短絡しているため、画素部4内のスイッチング素子3の検査ができない。

【解決手段】 直交して配置された複数の走査線1と信号線2の各交点に配置されたスイッチング素子3を有する画素部4の外周部に、走査線1の少なくとも一端及び信号線2の少なくとも一端と接続するように短絡外周線5を配置し、この短絡外周線5とスイッチング素子3との間にあって走査線1または信号線2による接続を制御するトランジスタ7を、電圧印加回路8によって短絡外周線5に電圧を印加することにより制御して、画素部4の静電気を除去するものである。



1 走査線
2 信号線
3 スwitchング素子
4 画素部

5 短絡外周線
6 電極パッド
7 トランジスタ
8 電圧印加回路

【特許請求の範囲】

【請求項1】 複数の走査線、この複数の走査線と交叉して配置された複数の信号線、上記走査線及び信号線の各交点にマトリクス状に配置されたスイッチング素子を有する画素部、この画素部の外周部に配置された外周線、この外周線と上記走査線及び信号線のいずれか一方または両方の少なくとも各一端との間に配置され、導通時に上記外周線と上記走査線または信号線を接続する接続トランジスタ、この接続トランジスタを制御するために上記外周線に電圧を印加する電圧印加回路を備えたことを特徴とする液晶表示装置。

【請求項2】 接続トランジスタの制御電極は、スイッチング素子側の電荷を外周線に逃がすように走査線または信号線あるいは外周線に接続されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より高いとき、スイッチング素子側の電荷を外周線に逃がすように接続されていることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より低いとき、スイッチング素子側の電荷を外周線に逃がすように接続されていることを特徴とする請求項2記載の液晶表示装置。

【請求項5】 外周線は、複数の分割されており、任意の外周線に接続される接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より高いとき、スイッチング素子側の電荷を外周線に逃がすように接続され、別の外周線に接続される接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より低いとき、スイッチング素子側の電荷を外周線に逃がすように接続されていることを特徴とする請求項2記載の液晶表示装置。

【請求項6】 電圧印加回路は、可変電圧が印加できるものであることを特徴とする請求項1乃至請求項5のいずれか一項記載の液晶表示装置。

【請求項7】 電圧印加回路から、一時的に電圧が印加されることを特徴とする請求項1乃至請求項6のいずれか一項記載の液晶表示装置。

【請求項8】 スwitchング素子と接続トランジスタとの間の走査線または信号線には、電極パッドが設けられていることを特徴とする請求項1乃至請求項7のいずれか一項記載の液晶表示装置。

【請求項9】 外周線、接続トランジスタ、電圧印加回路は、製品検査終了後に切断されることを特徴とする請求項1乃至請求項7のいずれか一項記載の液晶表示装置。

【請求項10】 外周線、接続トランジスタ、電圧印加回路、電極パッドは、製品検査終了後に切断されることを特徴とする請求項8記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、駆動用スイッチング素子として、薄膜トランジスタアレイを用いた液晶表示装置の静電気破壊防止のための電圧吸収回路に関するものである。

【0002】

【従来の技術】液晶ディスプレイ(LCD)は、薄型、軽量、低消費電力という利点により、現在主流の表示方式である。特に薄膜トランジスタ(TFT)を用いた液晶ディスプレイ(TFT-LCD)は、カラーCRTに迫る表示性能から液晶ディスプレイのなかで主流となっている。そのTFT-LCDにおいて、薄膜トランジスタ(TFT)を作り込むことは、大幅な工程を要し、ひいてはコストアップの要因となる。薄膜トランジスタにおいては、表示性能向上のために、トランジスタの低しきい値化が望まれており、ゲート絶縁膜はより薄く設計されている。

【0003】図3は、従来の液晶表示装置のマトリクス基板の等価回路図である。図4は、走査線及び信号線を短絡し、短絡外周線を設けた従来の液晶表示装置のマトリクス基板の等価回路図である。図において、1はマトリクス基板内の複数の走査線、2は複数の走査線1に交差配置された複数の信号線、3は複数の走査線1と複数の信号線2の交点位置に設けられたTFTからなるスイッチング素子である。図4において、4はスイッチング素子3をマトリクス状にして有する画素部、5は画素部4の外周部に配置され、複数の走査線1と複数の信号線2を短絡した短絡外周線である。

【0004】このような液晶表示装置においては、各ゲート間、各ドレインバス間及びこれら両バス間は、互いに分離された構成となっている。そのため、マトリクス作成工程中、もしくはその後の工程中において発生する高電圧の静電気(数100V～数kV)が、各バス間に印加され、その結果ゲート絶縁膜の絶縁破壊が生じ、ドレインバスとゲートバス間が短絡してしまうという問題があった。このようなバスライン間の短絡は、1個のTFT内の短絡であっても、ライン全体が欠陥となってしまい重大な欠陥である。その静電気破壊の対策として、図4のように走査線1及び信号線2を短絡外周線5で短絡して、走査線1及び信号線2を同電位にする方法がとられていた。また、このような欠点を解決するものとして、例えば、特開平5-27263号公報には、アドレス線と短絡用外周配線間及びデータ線と短絡用外周配線間に放電用のTFTを設けて、静電気による電位差により、静電気を短絡用外周配線に放電する技術が紹介されている。

【0005】

【発明が解決しようとする課題】上記のような液晶表示装置では、走査線1及び信号線2を短絡外周線5で短絡しているため、画素部4内のスイッチング素子3の検査

ができないという欠点があった。また、特開平5-27263号公報に紹介されている技術は、静電気による電位差によって、TFTを導通させ静電気を放電するものであった。

【0006】この発明は、上述のような課題を解決するためになされたものであり、静電気による絶縁破壊を防止するに際して、バスライン間短絡をなくすことができ且つスイッチング素子検査ができる液晶表示装置を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明に係わる液晶表示装置においては、複数の走査線と交叉して配置された複数の信号線と、走査線及び信号線の各交点にマトリクス状に配置されたスイッチング素子を有する画素部と、この画素部の外周部に配置された外周線と、この外周線と走査線及び信号線のいずれか一方または両方の少なくとも各一端との間に配置され、導通時に外周線と走査線または信号線を接続する接続トランジスタと、この接続トランジスタを制御するために外周線に電圧を印加する電圧印加回路を備えたものである。また、接続トランジスタの制御電極は、スイッチング素子側の電荷を外周線に逃がすように走査線または信号線に接続されているものである。また、接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より高いとき、スイッチング素子側の電荷を外周線に逃がすように接続されているものである。さらに、接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より低いとき、スイッチング素子側の電荷を外周線に逃がすように接続されているものである。

【0008】また、外周線は、複数に分割され、任意の外周線に接続される接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より高いとき、スイッチング素子側の電荷を外周線に逃がすように接続され、別の外周線に接続される接続トランジスタの制御電極は、スイッチング素子側の電圧が外周線の電圧より低いとき、スイッチング素子側の電荷を外周線に逃がすように接続されているものである。また、電圧印加回路は、可変電圧を印加するものである。さらにまた、電圧印加回路からは、一時的に電圧が印加されるものである。また、スイッチング素子と接続トランジスタとの間の走査線または信号線には、電極パッドが設けられているものである。加えて、外周線、接続トランジスタ、電圧印加回路は、製品検査終了後に切断されるものである。また、外周線、接続トランジスタ、電圧印加回路、電極パッドは、製品検査終了後に切断されるものである。

【0009】

【発明の実施の形態】

実施の形態1. 図1は、この発明の実施の形態1による液晶表示装置のマトリクス基板の等価回路図である。図

において、1～5は従来装置と同じものであり、その説明を省略する。6は画素部4の外周部に配置された走査線1上又は信号線2上の電極パッド、7は走査線1上又は信号線2上において、短絡外周線5とスイッチング素子3との間に、それぞれ設けられ、ゲート電極とスイッチング素子3側の走査線1又は信号線2とが短絡されたトランジスタである。8は短絡外周線5に所定の電圧を印加する電圧印加回路である。

【0010】このような構成の液晶表示装置において10 は、短絡外周線5に、電圧印加回路8により、ある電圧 V_{ref} を印加する。もし画素部4内の走査線1上若しくは信号線2上に $V_{ref} + V_{th}$ 以上の+の電荷が帯電していると、短絡外周線5側ソース電圧 V_{ref} より画素部4内の走査線1、信号線2の電圧が高いために、トランジスタ7が瞬時にONして、走査線1上の電荷が短絡外周線5側に流れ込む。電荷が短絡外周線5側へ流れ込むと同時に、トランジスタ7はOFFして、再び画素部4内に流れ込むようなことはない。走査線1又は信号線2上の電極パッド6にプロービングして、画素部4内のスイッチング素子3の検査をする際、例えば約20Vの電圧を印加しても、トランジスタ7のチャンネル抵抗を約200Ω程度に設定しておけば、プローブからみた短絡外周線5側のインピーダンスが高いために測定が可能となる。このようにして、静電気対策を行いながら、且つアレイテスタによるスイッチング素子3の検査が可能である。尚検査終了時には、短絡外周線5及びトランジスタ7は切り離してもよい。

【0011】実施の形態2. 図2は、この発明の実施の形態2による液晶表示装置のマトリクス基板の等価回路図である。図において、1～7は図1におけるものと同じものであり、その説明を省略する。10は、短絡外周線5と別に設けられた短絡外周線である。11は、走査線1上又は信号線2上において、短絡外周線10とスイッチング素子3との間に設けられ、ゲート電極と短絡外周線10側の走査線1又は信号線2とが短絡されたトランジスタである。12は短絡外周線10に電圧を印加する電圧印加回路である。

【0012】図1では、トランジスタ7は画素部4側の走査線1若しくは信号線2とゲート電極を短絡していたが、図2では、トランジスタ11は短絡外周線10側の走査線1若しくは信号線2とゲート電極を短絡する。画素部4内に一の電荷が帯電している場合でも、実施の形態1と同様に短絡外周線10上に、電圧印加回路12により、 V_{ref} を印加する。画素部4側の電圧より、 V_{ref} を与えている短絡外周線10側の電圧が高いために、トランジスタ11が瞬時にONして画素部4側の一の電荷が短絡外周線10側へ流れ込む。流れ込むと同時にトランジスタ11がOFFし、再び画素部4側に流れ込むようなことはない。以上のように、短絡外周線5、10に V_{ref} を与え、もし画素部4内に静電気による

5

絶縁破壊をおこす電荷がある場合は、トランジスタ7又は11は瞬時にONして電荷を逃がし、短絡外周線5又は10側へ電荷が移動すると同時に、トランジスタ7又は11がOFFし、再び画素部4内が流れ込むのを防ぐものであり、+-の電荷を逃がすように方向性を持たせた機能を有している。

【0013】実施の形態3. 短絡外周線5又は10に、電圧印加回路8又は12によって印加する電圧Vrefを可変にする。そうすることで、+-の電荷、電荷量の大小にかかわらず、静電気対策ができる。なお短絡外周線5、10に与えるVrefは常時与える必要はなく、静電気が発生しそうな時に一時的に与えればよい。

【0014】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。液晶表示装置の画素部に静電気が発生した場合、外周線に電圧を供給することで、外周線と走査線または信号線とを接続する接続トランジスタが活性化され、静電気の抜け道

6

ができて静電気を外周線に逃がし、液晶表示装置のTFTマトリクス基板を静電気破壊から防止できるとともに画素部内のスイッチング素子の検査ができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による液晶表示装置のマトリクス基板の等価回路図である。

【図2】 この発明の実施の形態2による液晶表示装置のマトリクス基板の等価回路図である。

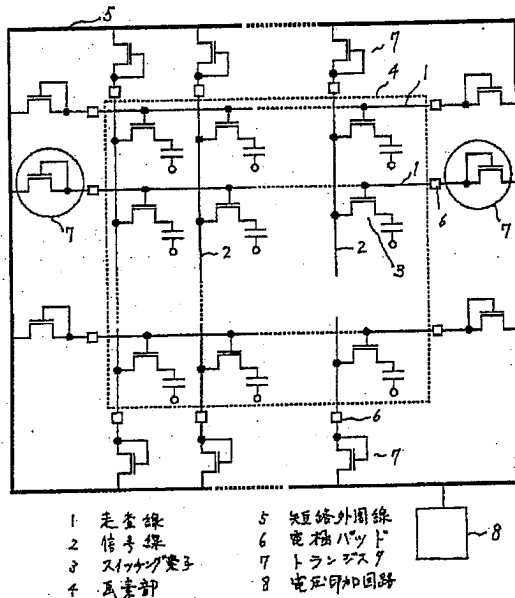
【図3】 従来の液晶表示装置のマトリクス基板の等価回路図である。

【図4】 走査線及び信号線を短絡し、短絡外周線に設けた従来の液晶表示装置のマトリクス基板の等価回路図である。

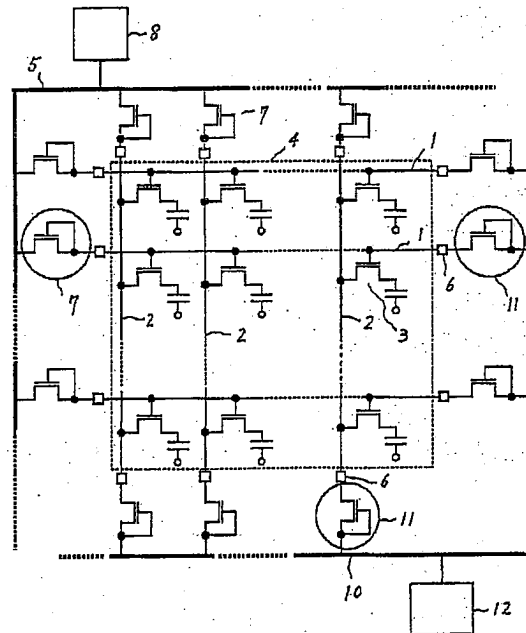
【符号の説明】

1 走査線、2 信号線、3 スwitchング素子、4 画素部、5、10 短絡外周線、6 電極パッド、7、11 トランジスタ、8、12 電圧印加回路。

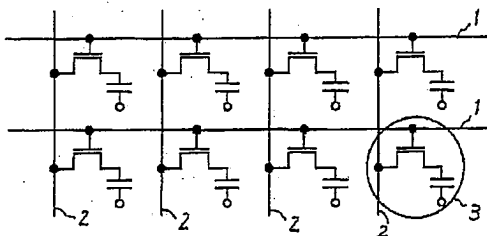
【図1】



【図2】



【図3】



(5)

特開平9-171167

【図4】

